

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-005729

(43)Date of publication of application : 14.01.1994

(51)Int.Cl. H01L 23/12
H01L 21/52

(21)Application number : 04-184449

(71)Applicant : SONY CORP

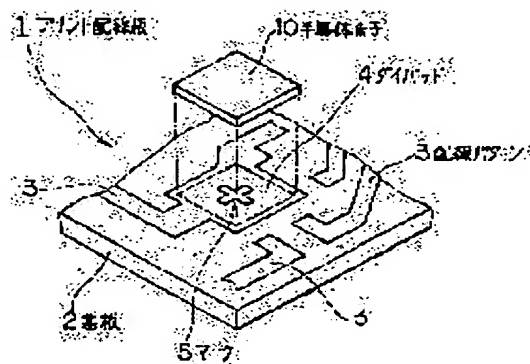
(22)Date of filing : 17.06.1992

(72)Inventor : TAKAHASHI MASAYUKI

(54) ALIGNING METHOD FOR PRINTED CIRCUIT BOARD AND SEMICONDUCTOR ELEMENT**(57)Abstract:**

PURPOSE: To accurately align a semiconductor element on a die pad by providing a mark for aligning substantially a center of the pad substantially with a center of the element on the pad.

CONSTITUTION: A printed circuit board 1 is formed of a board 2, a wiring pattern 3 and a die pad 4 for placing a semiconductor element 10 on the board 2. The pad 4 formed substantially in a square shape corresponding to a profile of the element 10 is used. Further, a mark 5 for aligning substantially a center of the element 10 substantially with a center of the pad 4 is provided on the pad 4. Thus, in order to place the element 10 on the board 1, with the mark 5 of the pad 4, i.e., an intersection of a crosslike pattern as a reference, substantially the center of the element 10 is aligned therewith. In this manner, substantially the center of the element is aligned substantially with the center of the pad 4.

**LEGAL STATUS**

[Date of request for examination] 14.06.1999

[Date of sending the examiner's decision of rejection] 14.11.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-5729

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl.⁵

H 0 1 L 23/12
21/52

識別記号

庁内整理番号

F I

技術表示箇所

C 7376-4M
9355-4M

H 0 1 L 23/ 12

F

審査請求 未請求 請求項の数5(全 6 頁)

(21)出願番号 特願平4-184449

(22)出願日 平成4年(1992)6月17日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 高橋 雅之

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

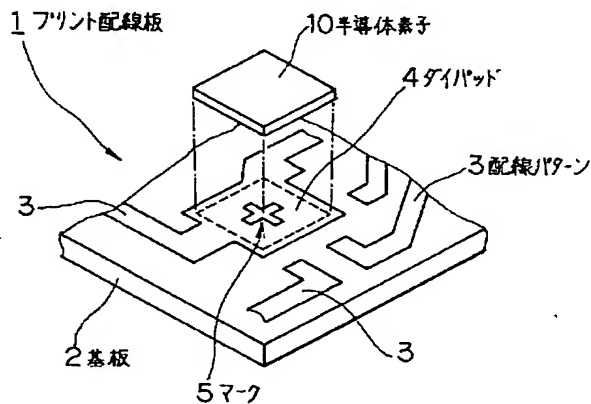
(74)代理人 弁理士 船橋 国則

(54)【発明の名称】 プリント配線板および半導体素子の位置合わせ方法

(57)【要約】

【目的】 ダイパッド上に半導体素子を正確に位置合わせできるプリント配線板と半導体素子の位置合わせ方法を提供すること。

【構成】 略四角形のダイパッド4の略中央部と半導体素子10の略中央部との位置合わせをするためのマーク5をダイパッド4に設けたプリント配線板1で、マーク5として十文字状のもの、ダイパッド4の対向する辺から中心部に向けてパターンを設けたもの、ダイパッド4の各隅角部から中心部に向けてパターンを設けたものを用いる。また、半導体素子10外形から外側にはみ出したパターンの長さがほぼ等しくなるように半導体素子10を位置合わせする方法である。



本発明を説明する斜視図

【特許請求の範囲】

【請求項 1】 所定の電子部品を搭載するための基板と、
前記基板上に形成された配線パターンと、
半導体素子の外形と対応した略四角形のダイパッドとから成るプリント配線板において、
前記ダイパッドには、前記半導体素子の略中央部と前記ダイパッドの略中央部との位置合わせを行うためのマークが設けられていることを特徴とするプリント配線板。

【請求項 2】 前記マークは、その交差部が前記ダイパッドの略中央部とほぼ一致する十文字状のパターンから成ることを特徴とする請求項 1 記載のプリント配線板。

【請求項 3】 前記マークは、前記ダイパッドの各対向する辺から前記ダイパッドの中心部を指標する状態に設けられたパターンから成ることを特徴とする請求項 1 記載のプリント配線板。

【請求項 4】 前記マークは、前記ダイパッドの各隅角部から前記ダイパッドの中心部に向けて設けられたパターンから成ることを特徴とする請求項 1 記載のプリント配線板。

【請求項 5】 略四角形状のダイパッドが設けられたプリント配線板を用いた半導体素子の位置合わせ方法において、
予め、前記ダイパッドの各辺から前記ダイパッドの中央部に向けてそれぞれ幅のほぼ等しいパターンを設けておき、
次いで、前記半導体素子を前記ダイパッドの外形よりも内側に搭載し、
前記半導体素子の外形から外側にはみ出した前記各パターンの長さがほぼ等しくなるように前記半導体素子を位置合わせすることを特徴とする半導体素子の位置合わせ方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ダイパッドに半導体素子の位置合わせを行うマークが設けられたプリント配線板とこれを用いた半導体素子の位置合わせ方法に関するものである。

【0002】

【従来の技術】 ウエハからチップ状に切り出された半導体素子は、リードフレーム等の接続部材に搭載されて樹脂等のパッケージで封止されるものと、プリント配線板上に他の電子部品とともに接続されて成る、いわゆるハイブリッド IC を構成するものがある。このような半導体素子を用いてハイブリッド IC を構成するためのプリント配線板を図 8 に基づいて説明する。図 8 は、従来のプリント配線板を説明する斜視図である。このプリント配線板 1 は、エポキシやセラミックス等の基板 2 から成り、この基板 2 上に半導体素子 10 を接着するためのダイパッド 4 と、抵抗器やコンデンサ等の他の電子部品

を接続するための配線パターン 3 とが形成されたものである。

【0003】 プリント配線板 1 のダイパッド 4 は、接続する半導体素子 10 の形状に対応した略四角形であり、このダイパッド 4 の略中央部に半導体素子 10 の略中央部が合う状態に位置合わせされる。通常、半導体素子 10 をダイパッド 4 上に搭載するには、ダイボンダー（図示せず）を用い行われる。すなわち、半導体素子 10 をダイボンダーの吸着ヘッド等に保持し、この吸着ヘッドの下方に銀ペースト等の接着剤が塗布されたダイパッド 4 が配置されるようプリント配線板 2 を位置合わせする。そして、この吸着ヘッドを下降することで半導体素子 10 をダイパッド 4 上に接着する。半導体素子 10 の位置合わせの方法は、ダイパッド 4 の外形線を基準にしたり、特徴のある配線パターン 3 等を基準にしてダイパッド 4 の中心位置を求め、これに基づいて半導体素子 10 とダイパッド 4 との位置合わせを行っている。

【0004】

【発明が解決しようとする課題】 しかしながら、このようなプリント配線板および半導体素子の位置合わせ方法には、次のような問題がある。すなわち、ダイパッドの周囲には配線パターンが接続されているため、ダイパッドの形状と半導体素子の形状との対応がつきにくくなっている。このため、半導体素子をダイパッド上に接続する場合、ダイパッドと半導体素子との位置合わせを正確に行うのが困難である。特に、半導体素子とダイパッドとの回転方向のずれにおいて、ダイパッドに対する基準の位置が定めにくいと、回転ずれの補正や修正を行い難いのが現状である。また、この半導体素子の位置合わせ方法では、接着を行う場合には、ダイパッドの形状が複雑になると、その認識が困難となり、プリント配線板の位置決め精度の低下につながる。このため、ダイボンダーによる半導体素子の位置合わせにおいては、プリント配線板が連続して搬送されるため、位置合わせの低下がハイブリッド IC 等の生産性の低下を招くことになる。よって、本発明はダイパッド上に半導体素子を正確に位置合わせできるプリント配線板と半導体素子の位置合わせ方法を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明は、このような課題を解決するために成されたプリント配線板および半導体素子の位置合わせ方法である。すなわち、このプリント配線板は、所定の電子部品を搭載するための基板上に配線パターンと、半導体素子の外形と対応した略四角形のダイパッドとを設けたもので、ダイパッドの略中央部と半導体素子の略中央部とを位置合わせするためのマークをダイパッドに設けたものである。

【0006】 このマークとして十文字状のパターンを形成し、その交差部がダイパッドの略中央部とほぼ一致するように設けたものや、ダイパッドの対向する辺からダ

ダイパッドの中心部を指標するパターンを形成したものである。さらに、ダイパッドの各隅角部からダイパッドの中心部に向けてパターンを設けたものでもある。

【0007】また、このプリント配線板を用いた半導体素子の位置合わせ方法は、略四角形のダイパッドに半導体素子を位置合わせするもので、予め、ダイパッドの各辺からダイパッドの中央部に向けて幅のほぼ等しいパターンをそれぞれ設け、次いで、半導体素子をこのダイパッドの外形よりも内側に搭載し、半導体素子の外形から外側にはみ出したパターンの長さがほぼ等しくなるように半導体素子を位置合わせするものである。

【0008】

【作用】ダイパッドに設けたマークがそのダイパッドの略中央部を指標することになるため、半導体素子をダイパッドに搭載する際の位置合わせの基準とすることができ。例えば、十文字状のパターンから成るマークでは、その交差部がダイパッドの略中央部と一致するように設けられているため、半導体素子の略中央部とこの交差部とを合わせることで、正確な位置合わせが行える。また、ダイパッドの対向する辺からダイパッドの中心部を指標する状態に設けられたパターンより成るマーク、および、ダイパッドの各隅角部からダイパッドの中心部に向けて設けられたパターンから成るマークでは、相対向する各パターンをそれぞれ延長した仮想線が、互いに交わる位置をダイパッドの略中央部としているため、これに基づいて半導体素子を位置合わせする。

【0009】また、このプリント配線板を用いた半導体素子の位置合わせ方法において、ダイパッドの各辺からダイパッドの中央部に向けて幅のほぼ等しいパターンを設け、半導体素子をダイパッドに搭載した状態でこの半導体素子の外形から外側にはみ出た各パターンの長さをほぼ等しくするように位置合わせすれば、ダイパッドの略中央部と半導体素子の略中央部とが一致することになる。

【0010】

【実施例】以下に、本発明のプリント配線板および半導体素子の位置合わせ方法についての実施例を図に基づいて説明する。図1は、本発明のプリント配線板を説明する斜視図である。このプリント配線板1は、エポキシやセラミックス等から成る基板2と、この基板2上に抵抗器やコンデンサ等を接続するための配線パターン3と、基板2上に半導体素子10を搭載するためのダイパッド4とから成り、ダイパッド4として、半導体素子10の外形と対応した略四角形をしたものが用いられている。

【0011】さらに、このダイパッド4には、半導体素子10の略中央部とダイパッド4の略中央部との位置合わせを行うマーク5が設けられている。マーク5として、十文字状のパターンが設けられたもので、その交差部がダイパッド4の略中央とほぼ一致した状態となっている。このマーク5は、金属等から成るダイパッド4を

このような十文字状にエッチング処理して設けたり、反対に他の金属等を被着して形成する。

【0012】このようなプリント配線板1に半導体素子10を搭載するには、ダイパッド4のマーク5、すなわち十文字状のパターンの交差部を基準として、これに半導体素子10の略中央部を合わせるようにする。これにより、ダイパッド4の略中央部に半導体素子10の略中央部を位置合わせすることができ。このような十文字状のパターンから成るマーク5は、画像処理を用いた半導体素子10の位置決めを行う場合に有効である。

【0013】すなわち、図2の斜視図に示すように、プリント配線板1が連続して搬送される、例えばダイボンダーを用いて半導体素子10をダイパッド4上に搭載する場合には、予めダイパッド4に設けられたマーク5の位置を画像認識等により記憶しておき、これを基準にして半導体素子10をダイパッド4上に搭載する。さらに、このマーク5の位置を基準にして、次のプリント配線板1を搬送し、そのダイパッド4に設けられたマーク5を認識する。これを連続することで、半導体素子10をマーク5上に確実に搭載することができる。

【0014】次に、他のマーク5の例を図3に基づいて説明する。図3は、他のマーク5を説明する平面図（その1）で、略四角形のダイパッド4の各対向する辺4aからダイパッド4の中央部を指標する状態にパターン51を設けてマーク5を形成したものである。これらの相対向するパターン51をそれぞれ仮想線でつなぎ、その交点がダイパッド4の中央部となるように配置されている。この仮想線の交点を基準にして、半導体素子10をダイパッド4上に位置合わせすれば、半導体素子10の略中央部とダイパッド4の略中央部とを合わせる事ができる。

【0015】次に、このようなマーク5を用いた本発明の半導体素子10の位置合わせ方法を説明する。図4は、半導体素子10の位置合わせを説明する平面図（その1）である。まず、略四角形のダイパッド4の各辺4aからダイパッド4の中央部に向けてそれぞれ幅のほぼ等しいパターン51を設けておく。次に、半導体素子10をダイパッド4の外形よりも内側に収めるように搭載する。これにより、各素子側辺10aの外側にパターン51がはみ出た状態となり、所定の大きさのすき間が形成される。そして、半導体素子10を移動してこの各すき間の長さがほぼ一致するような位置に合わせる。これにより、半導体素子10の略中央部とダイパッド4の略中央部とが一致する状態に位置合わせすることができ。

【0016】この位置合わせ方法は、目視により半導体素子10をダイパッド4上に位置合わせする場合や、半導体素子10を搭載した後のダイパッド4と半導体素子10との位置関係を検査する場合に、半導体素子10の位置ズレを簡単に判断することができる。

【0017】次に、図5に他のマークを説明する平面図（その2）を示す。このマーク5は、ダイパッド4の各隅角部4bからダイパッド4の中央部に向けてパターン51がそれぞれ設けられたもので、相対向するパターン51をつなぐ各仮想線の交点がダイパッド4の略中央部を指標するものである。この交点を基準にして、半導体素子10をダイパッド4上に位置合わせすれば、半導体素子10の略中央部とダイパッド4の略中央部とが一致する状態となる。

【0018】また、図6の平面図に示すように、各パターン51の幅をほぼ等しくしておき、半導体素子10をダイパッド4上に搭載した状態で、4つの素子隅部10bをそれぞれパターン51の幅の略中央部に位置合わせすることで、ダイパッド4に対する回転方向のズレ角度 θ をなくした状態に半導体素子10を配置できる。

【0019】また、本発明のプリント配線板の他の実施例を図7の平面図に示す。これは、ダイパッド4の略中央部に十文字状のマーク5が設けられ、さらに、ダイパッド4の各隅角部からダイパッド4の中央部に向けてパターン51がそれぞれ設けられたものである。これを用いて半導体素子10を位置合わせするには、まず、半導体素子10の略中心部をダイパッド4の略中央部に設けられたマーク5に合わせて配置する。そして、4つの素子隅角部10bを各パターン51の幅の略中央に合わせる。これにより、ダイパッド4の略中央部と半導体素子10の略中央部との位置合わせができるとともに、ダイパッド4に対する回転方向の位置合わせも正確に行うことができる。

【0020】例えば、ダイボンダーを用いて半導体素子10を搭載する場合、まず、この十文字状のマーク5を画像認識することで、ダイパッド4の位置の基準を求め、これに基づいて半導体素子10を搭載し、次いで、半導体素子10の回転方法の位置ズレ角度をパターン51を用いて修正する。このマーク5とパターン51との両方を用いることにより、さらに高精度の位置合わせを行うことができる。

【0021】

【発明の効果】以上説明したような、プリント配線板お

よび半導体素子の位置合わせ方法によれば次のような効果がある。すなわち、このプリント配線板によれば、ダイパッドの中心位置を指標するマークが設けられているため、ダイパッドの周囲に配線パターンが接続されていても、ダイパッドに対する基準を容易に決定することが可能となる。しかも、ダイパッドの隅角部に設けられたマークにより、半導体素子の角度方向に対する基準を決定することができるため、より正確な位置合わせが行える。さらに、本発明の半導体素子の位置合わせ方法によれば、半導体素子の略中央部とダイパッドの略中央部との位置合わせを容易に、しかも正確に行うことが可能となる。これらにより、目視にて半導体素子の位置合わせを行う場合にも、ダイボンダー等を用いて連続的に半導体素子の位置合わせを行う場合であっても、正確な位置合わせを行うことができるため、プリント配線板を用いたハイブリッドIC等の生産性の向上を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明のプリント配線板を説明する斜視図である。

【図2】本発明の使用例を説明する斜視図である。

【図3】他のマークを説明する平面図（その1）である。

【図4】半導体素子の位置合わせを説明する平面図（その1）である。

【図5】他のマークを説明する平面図（その2）である。

【図6】半導体素子の位置合わせを説明する平面図（その2）である。

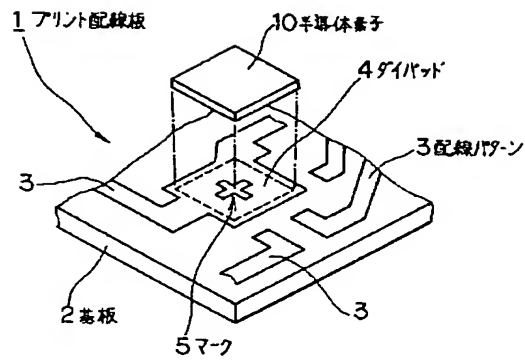
【図7】他の実施例を説明する平面図である。

【図8】従来例を説明する斜視図である。

【符号の説明】

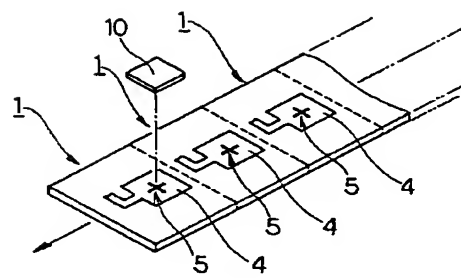
- 1 プリント配線板
- 2 基板
- 3 配線パターン
- 4 ダイパッド
- 5 マーク
- 10 半導体素子

【図 1】



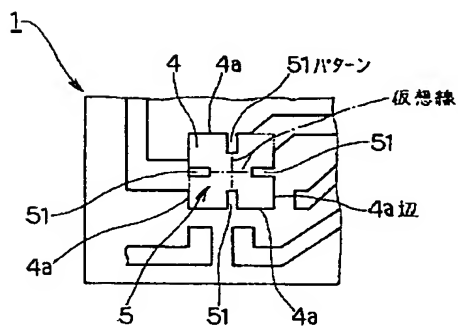
本発明を説明する斜視図

【図 2】



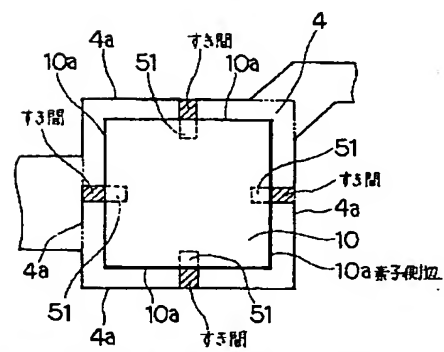
本発明の使用例を説明する斜視図

【図 3】



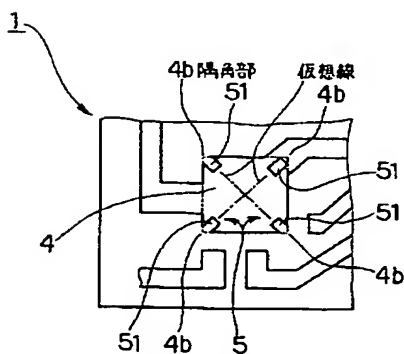
他のマークを説明する平面図 (その1)

【図 4】



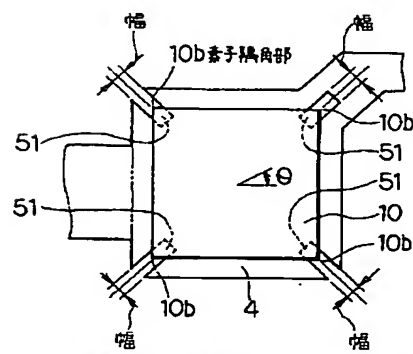
位置合わせを説明する平面図 (その1)

【図 5】



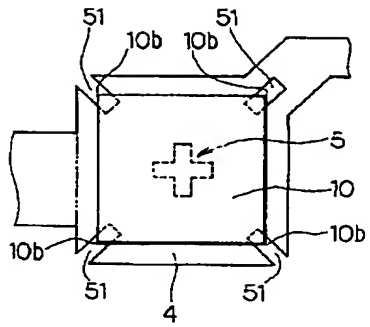
他のマークを説明する平面図 (その2)

【図 6】



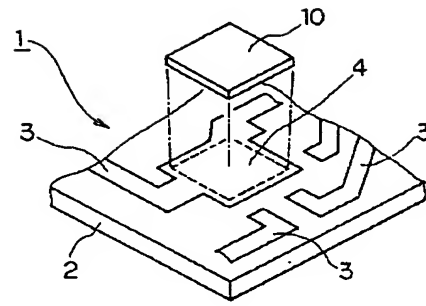
位置合わせを説明する平面図 (その2)

【図 7】



他の実施例を説明する平面図

【図 8】



従来例を説明する斜視図